

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-255046**

(43)Date of publication of application : **12.11.1986**

(51)Int.Cl.

H01L 25/10
H01L 27/10

(21)Application number : **60-096888**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **08.05.1985**

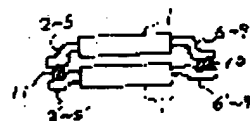
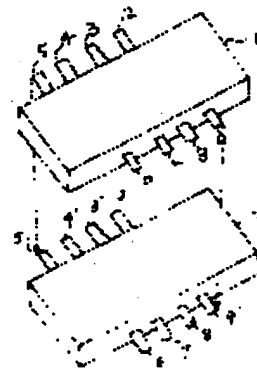
(72)Inventor : **TSUJI MASUO
KATSUNO KUNIO
YOSHIZAWA MASAYUKI**

(54) COMPOSITE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To contrive a reduction in the area of the wiring region needed for the external connection in the title device by a method wherein individual memory devices are stacked in the vertical direction to the plane including the input/output terminals and the power terminals of the individual semiconductor memory devices and the input/output terminals and power terminals of the individual semiconductor memory devices are respectively connected.

CONSTITUTION: The composite semiconductor memory device is one to be constituted by stacking two pieces of semiconductor memory devices 1 and 1' in the vertical direction to the plane including the input/output terminals and power terminals 2W9 and 2'W9' of the devices 1 and 1'. Each input terminal is bonded with the input terminal to correspond thereto using a solder 11 and so forth. In this case, the address terminals and output terminals of each chip are bonded intact in such a way as to correspond. When the composite semiconductor memory device is constituted in such a way, the individual semiconductor memory devices can be stacked in principle in whatever stages by doing a special treatment only to some terminals to select an individual semiconductor device alone. As a result, the area of the wiring region needed for the external wiring in the composite semiconductor memory device can be reduced in volume from one-severalths to one-several tenths.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

MENU **SEARCH** **INDEX** **JAPANESE**

1/1

/ converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-255046

⑬ Int.Cl.⁴

H 01 L 25/10
27/10

識別記号

庁内整理番号

7638-5F
6655-5F

⑭ 公開 昭和61年(1986)11月12日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 複合半導体記憶装置

⑯ 特 願 昭60-96888

⑰ 出 願 昭60(1985)5月8日

⑱ 発 明 者 辻 満 寿 夫 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 発 明 者 勝 野 邦 夫 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑳ 発 明 者 吉 澤 正 幸 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

㉒ 代 理 人 弁理士 最 上 務

明 細 書

発明の名称

複合半導体記憶装置

特許請求の範囲

複数の半導体記憶装置を結線実装し、大容量記憶装置を構成する複合半導体記憶装置において、個々の半導体記憶装置の入出力端子、電源端子を含む平面と垂直方向に該個々の半導体記憶装置を積み重ね、入出力端子、電源端子をそれぞれ結線したことを特徴とする複合半導体記憶装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体記憶装置を複数個外部結線し大容量記憶装置として構成する複合半導体記憶装置に関する。

(発明の概要)

本発明は、半導体記憶装置を複数個外部結線し大容量記憶装置として構成する複合半導体記憶装

置において、個々の半導体記憶装置の入出力端子、電源端子を含む平面と垂直方向に該個別の半導体記憶装置を積み重ね、入出力端子、電源端子をそれぞれ結線することにより外部結線スペースの減少を狙ったものである。

(従来の技術)

従来、複合半導体記憶装置では、第2図に示すように個々の半導体記憶装置を入出力端子を含む平面上に配置(同一平面の表裏を含む)していた。2~9、2'~9'は入出力端子、11、12はそれぞれ基板上で裏側、裏側の配線層、13は表裏配線を接続するスルーホールである。

(発明が解決しようとする問題点及び目的)

従来の複合半導体記憶装置は、個々の半導体記憶装置を入出力端子を含む平面上に配置しており、しかも、個々の半導体記憶装置の各入力、出力端子を対応させて結線していたため外部結線スペースを多く必要とし、配線層が一層では不足し2層、8層と多層化が必要となっていた。

そこで本発明は、この外部結線に必要な配線領域

の面積を減少させることを目的とする。

(問題点を解決するための手段)

上記問題点を解決するために、本発明の複合半導体記憶装置は、個々の半導体記憶装置の入出力端子、電源端子を含む平面と垂直方向に該個々の半導体記憶装置を積み重ね、入出力端子、電源端子をそれぞれ結線することを特徴とする。

(実施例)

以下に本発明の実施例を図面にもとづいて説明する。第1図において複合半導体記憶装置は2コの個々の半導体記憶装置を入出力端子を含む平面の垂直方向に、個々の半導体記憶装置を積み重ねたものである。個々の半導体記憶装置は1と1'、2、3、4、5、6、7、8、9、2'、3'、4'、5'、6'、7'、8'、9'は個々の半導体記憶装置の入出力端子及び電源端子である。

第8図は本発明の縦断面図であり、第4図は本発明の横断面図であり各入力端子はハンダ等11で結合される。この場合、各チップのアドレス端子及び出力端子はそのまま対応させて結合されるが個

は4段まで、同一位置の2端子を重ねて外部信号を与えればよい。

このように、本発明の方法は図示した2段重ねだけでなく多段に重ねていくことが可能である。

(発明の効果)

本発明は、以上説明したように、個々の半導体記憶装置を選択する端子のみ特別な処理をしてやれば原理的には何段も重ねることができ、縦方向(高さ)は増加するが従来の方式に比較して配線領域が減少するため、体積的には数分の一から数十分の一まで減少させることができる。

図面の簡単な説明

第1図は本発明にかかる複合半導体記憶装置の構成斜視図

第2図は従来の複合半導体記憶装置の構成図

第8図は本発明の複合半導体記憶装置の縦断面図

第4図は本発明の複合半導体記憶装置の横断面図

々の半導体記憶装置1と1'のいずれかを選択するための端子(チップセレクト端子と呼ばれていることが多い)については下記の三通りの方法が考えられる。

- ・チップセレクト端子を1、1'で片側はハイレベルで選択、他の一方はロウレベルで選択するように個々の半導体記憶装置での変えておいて同一端子に出しておき本発明の他の端子と同様に結線して使用する。
- ・チップセレクト端子のみ異なる端子に1、1'の状態としておき、互に対応する端子はオープン状態としておき本発明の他の端子と同様に結線してチップセレクト2端子に命令を与えて使用する。
- ・1、1'の個別の半導体記憶装置を作る際、チップセレクト端子として個々に複数個用意しておきその電位組み合わせとしてそのチップをチップセレクトする。例えばチップセレクト端子として2端子と考えれば、2端子の組合せは4通り可能であるから、積み重ねる個数

1、1'・・・個々の半導体記憶装置

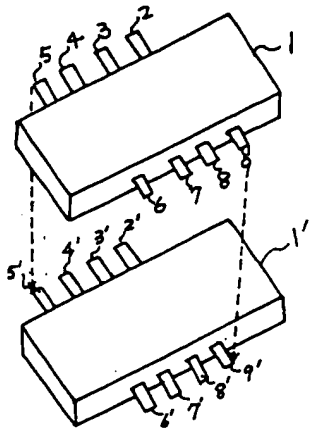
2～9、2'～9'・・・個々の半導体記憶装置の入出力端子及び電源端子

以上

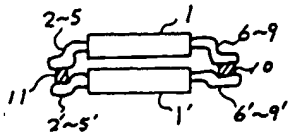
出願人 株式会社諏訪精工舎

代理人 弁理士 最 上

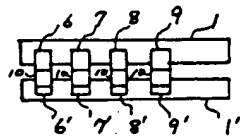




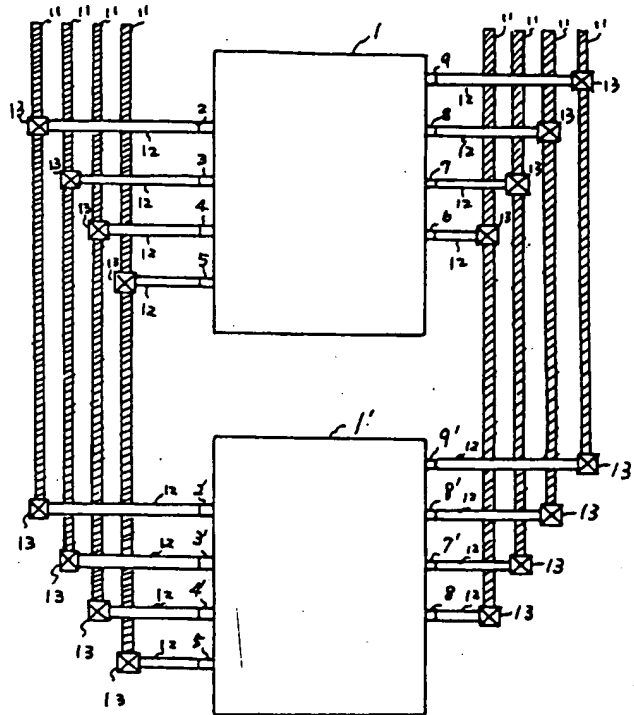
第 1 図



第 3 図



第 4 図



第 2 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-255046
(43)Date of publication of application : 12.11.1986

(51)Int. CI.

H01L 25/10
H01L 27/10

(21)Application number : 60-096888
(22)Date of filing : 08.05.1985

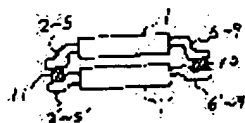
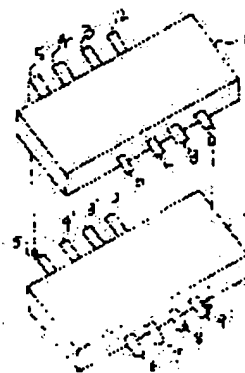
(71)Applicant : SEIKO EPSON CORP
(72)Inventor : TSUJI MASUO
KATSUNO KUNIO
YOSHIZAWA MASAYUKI

(54) COMPOSITE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To contrive a reduction in the area of the wiring region needed for the external connection in the title device by a method wherein individual memory devices are stacked in the vertical direction to the plane including the input/output terminals and the power terminals of the individual semiconductor memory devices and the input/output terminals and power terminals of the individual semiconductor memory devices are respectively connected.

CONSTITUTION: The composite semiconductor memory device is one to be constituted by stacking two pieces of semiconductor memory devices 1 and 1' in the vertical direction to the plane including the input/output terminals and power terminals 2W9 and 2'W9' of the devices 1 and 1'. Each input terminal is bonded with the input terminal to correspond thereto using a solder 11 and so forth. In this case, the address terminals and output terminals of each chip are bonded intact in such a way as to correspond. When the composite semiconductor memory device is constituted in such a way, the individual semiconductor memory devices can be stacked in principle in whatever stages by doing a special treatment only to some terminals to select an individual semiconductor device alone. As a result, the area of the wiring region needed for the external wiring in the composite semiconductor memory device can be reduced in volume from one-severalths to one-several tenths.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

THIS PAGE BLANK (USPTO)